

PAT-NO: JP359119723A

DOCUMENT-IDENTIFIER: JP 59119723 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 11, 1984

INVENTOR-INFORMATION:

NAME

KONO, KIICHI

TAKAHASHI, HIDEKAZU

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP57226715

APPL-DATE: December 27, 1982

INT-CL (IPC): H01L021/30

US-CL-CURRENT: 148/DIG.52, 257/E21.211

ABSTRACT:

PURPOSE: To avoid a breaking at a stepped part of a wiring and the like by preparing a discriminating region for discriminating an impurity region formed in a semiconductor substrate after exfoliating a field insulating film through gas plasma etching of excellent controllability and reproducibility when the semiconductor device with the discriminating region is formed.

CONSTITUTION: The Si substrate 11 is coated with a SiO₂ film 12, and openings 13 for forming diffusion regions are bored through etching by using a mask consisting of a resist film. The resist film is removed, plasma

is irradiated to the whole surface of the substrate 11 by a plasma device, and the surface layers of the substrate 11 exposed into the openings 13 are removed with reproducibility of approximately 700 ± 50 Å, thus obtaining the discriminating regions 14. Accordingly, the quantity of the film 12 being etched is limited to mere several Å or less, and the discriminating regions 14, which take the same shapes as the pattern shapes of the diffusion regions and have stepped differences in 700 ± 50 Å depth, appear even after exfoliating the film 12.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-119723

⑤ Int. Cl.³
H 01 L 21/30

識別記号

庁内整理番号
Z 6603-5F

⑬ 公開 昭和59年(1984)7月11日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭57-226715

⑰ 出 願 昭57(1982)12月27日

⑱ 発 明 者 河野喜一

大分市大字松岡3500番地東京芝
浦電気株式会社大分工場内

⑲ 発 明 者 高橋英一

大分市大字松岡3500番地東京芝
浦電気株式会社大分工場内

⑳ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板内に形成される不純物領域をフィールド絶縁膜の剥離後において判別するための判別領域を形成する半導体装置の製造方法において、前記半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に開孔を形成する工程と、前記絶縁膜をマスクとしたドライエッチング方式により、前記半導体基板の表面を選択的に除去して前記判別領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 前記絶縁膜を形成した後、全面にイオン注入を行い前記半導体基板の表面近傍に不純物層を形成し、この不純物層を前記ドライエッチング方式により選択的に除去して前記判別領域とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体装置の製造方法に係り、特に PEP (Photo Engraving Process) により形成した不純物拡散領域をフィールド絶縁膜の剥離後においても判別可能とする判別領域の形成方法に関する。

〔発明の技術的背景〕

半導体装置、特に C-MOS (Complementary Metal Oxide Semiconductor) デバイスにおいては、PEP により不純物拡散領域を形成した後、フィールド酸化膜を剥離してしまうと、この不純物拡散領域の判別が不可能となり、後工程でのマスクアライメントが困難となる。

この対策として、従来、シリコン基板の表面にウェット・エッチングにより判別領域を形成する方法が用いられている。この方法は、シリコン基板の不純物拡散領域を SiO₂ 膜、SiN 膜等をマスクにしてアルカリ系薬品 (例えばテトラメチルアンモニウムハイドロオキシド) 液に

よりエッチングするもので、温度、濃度及びエッチング時間を変化させることにより、シリコンエッチング量を制御している。なお、このアルカリ系薬品液は濃度が高く、シリコンのエッチング速度が速いため、原液を水及び界面活性剤により希釈している。

〔背景技術の問題点〕

従来のウェット・エッチングによる判別領域の形成方法では、原液の濃度のばらつき、希釈時の組成のばらつき、液温のばらつき、液の寿命等の種々の要因により、ロット内、ロット間のシリコンエッチング量に再現性が得られなかった。このため、AL（アルミニウム）あるいは多結晶シリコン等の配線に段切れが多発し、またPEPのオートアライン時において出力信号の最大レベルを保持することができず、アラインメント失敗率が増大していた。

〔発明の目的〕

この発明は上記実情に鑑みてなされたもので、その目的は、不純物拡散領域の判別領域を制御

O_2 : 250 sccm の条件で、約 130 秒間プラズマを照射する。このプラズマ照射によれば、 SiO_2 膜 12 のエッチング量を数 Å 以下で、シリコン基板 11 のエッチング量を 700 ± 50 Å に制御することができ、再現性よくシリコン基板 11 をエッチング除去できる。すなわち、シリコン基板 11 の表面に拡散領域のパターン形状と同形状で、深さ 700 ± 50 Å の段差部が生じ判別領域 14 が形成される。この判別領域 14 により SiO_2 膜 12 を剥離した後も拡散領域の判別が可能となる。

上記ガスプラズマエッチング方式による判別領域の形成方法によれば、従来のウェットエッチング方式による方法に比べ、制御性及び再現性に優れているため、AL あるいは多結晶シリコン等の配線に段切れを生ずることがない。また、オートアラインメントの失敗率が大幅に低下する。

第 2 図 (a)～(d) は第 2 の実施例を示すものである。この実施例においては、シリコン基板 21

性及び再現性よく形成することができ、配線の段切れ等の発生を防止することのできる半導体装置の製造方法を提供することにある。

〔発明の概要〕

すなわち、この発明は不純物拡散領域の判別領域の形成を、制御性及び再現性に優れたドライエッチング方式例えばガスプラズマエッチングにより行うものである。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。第 1 図 (a)～(c) は、拡散領域のシリコン基板表面にプラズマ照射を行い判別領域を形成する第 1 の実施例を示すものである。まず、第 1 図 (a) に示すように、シリコン基板 11 上に膜厚 $3500 \sim 3900$ Å の SiO_2 膜 12 を形成する。次に、第 1 図 (b) に示すように PEP により拡散領域形成用の開孔 13 を形成した後、レジストを剥離する。しかる後、第 1 図 (c) に示すようにプラズマ装置により、シリコン基板 11 の全面に電力 : 700 W、フロン CF_4 : 50 sccm、酸素

の全面に不純物イオンを注入し、この不純物領域の特定領域のみを第 1 の実施例と同様の方法により除去し、判別領域とするものである。すなわち、先ず第 2 図 (a) に示すようにシリコン基板 21 上に膜厚 $1000 \sim 2000$ Å の SiO_2 膜 22 を形成する。次に、第 2 図 (b) に示すように、拡散層の伸び防止及び拡散層・シリコン基板間のリーク電流防止用の不純物イオンをシリコン基板 21 の表面全面に注入し、不純物層 23 を形成する。次に第 2 図 (c) に示すように、PEP により SiO_2 膜 22 にソース・ドレイン及びゲート領域形成用の開孔 24 を形成する。しかる後、第 2 図 (d) に示すようにプラズマ装置によりシリコン基板 21 の全面にプラズマを照射する。照射条件は第 1 の実施例と同様であるが、照射時間は異なる。これによりソース・ドレイン及びゲート領域の不純物層 23 が除去され、判別領域 25 が形成される。

通常の工程においては、ソース・ドレイン及びゲート領域を形成した後、上記拡散層の伸び

防止等のための不純物層23を形成するため、そのためのPEP工程が必要であるが、第2の実施例においてはこのPEP工程を省略することができ、工程所要時間を大幅に短縮することができる。

尚、上記実施例においては、ガスプラズマエッチング方式を用いて説明したが、これに限定するものではなく、イオンビームエッチング等他のドライエッチング方式を用いてもよい。

〔発明の効果〕

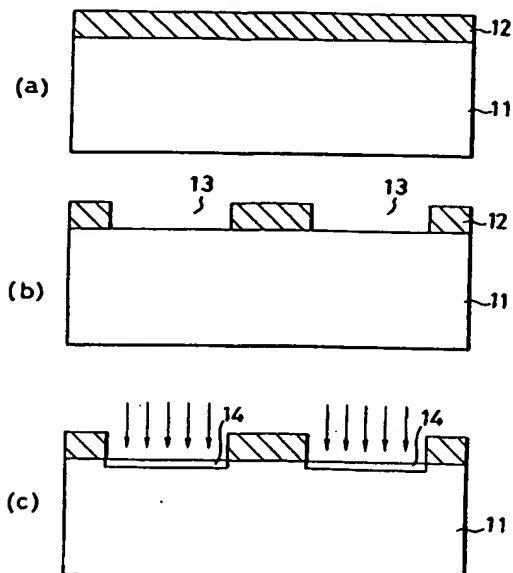
以上のようにこの発明によれば、不純物領域の判別領域を制御性及び再現性よく形成することが可能な半導体装置の製造方法を提供できる。

4. 図面の簡単な説明

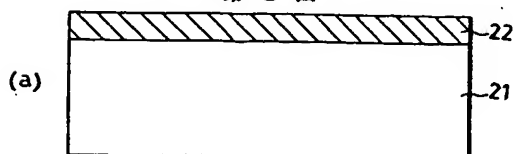
第1図(a)~(d)はこの発明の一実施例に係る半導体装置の製造工程を示す断面図、第2図(a)~(d)はこの発明の他の実施例に係る半導体装置の製造工程を示す断面図である。

11…シリコン基板、12… SiO_2 膜、13…開孔、14…判別領域。

第1図



第2図



第2図

